

SPIS TREŚCI

CZĘŚĆ CZWARTA LISTY ROZKAZÓW I JĘZYK ASEMBLERA 1

Rozdział 13 Listy rozkazów: własności i funkcje 1

- 13.1. Własności rozkazów maszynowych 2
- 13.2. Rodzaje argumentów 9
- 13.3. Typy danych w architekturach Intel x86 i ARM 11
- 13.4. Rodzaje operacji 15
- 13.5. Rodzaje operacji Intel x86 i ARM 29
- 13.6. Podstawowe pojęcia, pytania sprawdzające i zadania 38
 - Dodatek 13A. Struktury cienko-, grubo- i dwukońcowe 46

Rozdział 14 Listy rozkazów: tryby i formaty adresowania 51

- 14.1. Tryby adresowania 52
- 14.2. Tryby adresowania w architekturze x86 i ARM 59
- 14.3. Formaty rozkazu 65
- 14.4. Formaty rozkazu w architekturze x86 i ARM 73
- 14.5. Podstawowe pojęcia, pytania sprawdzające i zadania 79

Rozdział 15 Język asemblera i tematy pokrewne 84

- 15.1. Koncepcje języka asemblera 86
- 15.2. Przesłanki do stosowania programowania w języku asemblera 88
- 15.3. Elementy języka asemblera 91
- 15.4. Przykłady 97
- 15.5. Rodzaje asemblerów 102
- 15.6. Asemblery 103
- 15.7. Ładowanie i łączenie 105
- 15.8. Podstawowe pojęcia, pytania sprawdzające i zadania 114

CZĘŚĆ PIĄTA JEDNOSTKA CENTRALNA 119

Rozdział 16 Struktura i działanie procesora 119

- 16.1. Organizacja procesora 120
- 16.2. Organizacja rejestru 121
- 16.3. Cykl rozkazu 127
- 16.4. Potokowe przetwarzanie rozkazów 131
- 16.5. Organizacja procesorów w przetwarzaniu potokowym 150
- 16.6. Rodzina procesorów x86 152
- 16.7. Procesor ARM 160
- 16.8. Podstawowe pojęcia, pytania kontrolne i zadania 167

Rozdział 17 Komputery ze zredukowaną listą rozkazów 172

- 17.1. Własności wykonywania rozkazów 175
- 17.2. Użycie dużej tablicy rejestrów 179

- 17.3. Optymalizacja rejestru za pomocą kompilatora 185
- 17.4. Architektura o zredukowanej liście rozkazów 186
- 17.5. Przetwarzanie potokowe w architekturze RISC 193
- 17.6. MIPS R4000 198
- 17.7. SPARC 204
- 17.8. Organizacja procesora w przetwarzaniu potokowym 209
- 17.9. Architektura CISC, RISC i współczesne systemy 212
- 17.10. Podstawowe pojęcia, pytania sprawdzające i zadania 213

Rozdział 18 Równoległość na poziomie rozkazu i procesory superskalarne 218

- 18.1. Przegląd 219
- 18.2. Zagadnienia projektowe 226
- 18.3. Mikroarchitektura Intel Core 236
- 18.4. ARM Cortex-A8 243
- 18.5. ARM Cortex-M3 251
- 18.6. Podstawowe pojęcia, pytania sprawdzające i zadania 255

Rozdział 19 Działanie jednostki sterującej i sterowanie za pomocą mikroprogramu 262

- 19.1. Mikrooperacje 264
- 19.2. Sterowanie procesorem 270
- 19.3. Rozwiązania układowe 281
- 19.4. Sterowanie mikroprogramowane 284
- 19.5. Podstawowe pojęcia, pytania sprawdzające i zadania 293

CZĘŚĆ SZÓSTA ORGANIZACJA RÓWNOLEGŁA 296

Rozdział 20 Przetwarzanie równoległe 296

- 20.1. Przetwarzanie wieloprocesorowe 298
- 20.2. Wieloprocesory symetryczne 300
- 20.3. Spójność pamięci podręcznej i protokół MESI 305
- 20.4. Wielowątkowość i układy wieloprocesorowe 315
- 20.5. Klastry 321
- 20.6. Niejednolity dostęp do pamięci 324
- 20.7. Podstawowe pojęcia, Pytania sprawdzające i zadania 328

Rozdział 21 Komputery wielordzeniowe 336

- 21.1. Problemy z wydajnością sprzętu 337
- 21.2. Problemy z wydajnością oprogramowania 340
- 21.3. Organizacja wielordzeniowa 345
- 21.4. Organizacja heterogeniczna wielordzeniowa 348
- 21.5. Intere i7-5960X 359
- 21.6. ARM Cortex-A15 MPCore 360
- 21.7. IBM z13 mainframe 365
- 21.8. Podstawowe pojęcia, pytania sprawdzające i zadania 369

Dodatek A Magistrale systemowe 373

- A.1. Struktura magistrali 374
- A.2. Hierarchie wielomagistralowe 376
- A.3. Elementy projektu magistrali 378

Dodatek B	Koncepcje pamięci podręcznej ofiar	382
B.1.	Pamięć podręczna ofiar	383
B.2.	Selektywna pamięć podręczna ofiar	386
Dodatek C	Pamięć z przepływem	387
Dodatek D	Międzynarodowy alfabet referencyjny	390
Dodatek E	Stosy	393
E.1.	Stosy	394
E.2.	Implementacja stosu	395
E.3.	Sposoby zapisywania wyrażeń	397
Dodatek F	Procedury rekurencyjne	400
F.1.	Rekurencja	401
F.2.	Reprezentacja drzewa aktywacji	402
F.3.	Implementacja stosu	408
F.4.	Rekurencja i iteracja	409
Dodatek G	Zagadnienia dodatkowe dotyczące przetwarzania potokowego rozkazów	412
G.1.	Tablice rezerwacji przetwarzania potokowego	413
G.2.	Bufory zmiany kolejności	420
G.3.	Algorytm Tomasula	424
G.4.	Tablica wyników	429
Słownik		433
Odwołania literaturowe		445
Indeks		455